

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-292179

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/133	Z			
H 0 3 M 7/30	A	8522-5 J		
H 0 4 N 7/137	Z			

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21)出願番号 特願平5-75468

(22)出願日 平成5年(1993)4月1日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 粟本 繁

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 松田 豊彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 西野 正一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

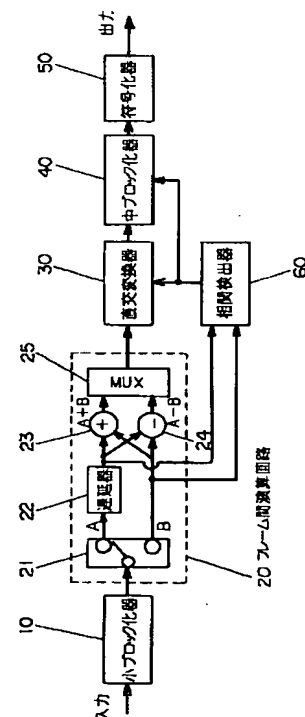
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 直交変換符号化装置および直交変換復号化装置

(57)【要約】

【目的】 本発明は、フレーム間差分処理における復号化回路なしで各フレームの復号化信号における量子化誤差は均一で、しかも2フレーム期間で常にフレーム内／フレーム間差分処理が完結する直交変換符号化装置を提供することを目的としている。

【構成】 映像信号のフレーム単位での小ブロック化信号をフレーム間加算した和ブロックとフレーム間差分した差ブロックを得るフレーム間演算回路20と、その和ブロックおよび差ブロックを直交変換する直交変換器と、前記和ブロックと差ブロックを一つの中ブロックとする中ブロック化器40と、中ブロックを複数個を集めて一定データ量にデータ量圧縮して符号化する符号化器50を備えた構成である。



【特許請求の範囲】

【請求項1】映像信号をフレーム単位で小ブロック化する小ブロック化手段と、前記小ブロック化信号のフレーム間加算した和ブロックとフレーム間差分した差ブロックを得るフレーム間演算手段と、前記和ブロックおよび差ブロックを直交変換する直交変換手段と、前記小ブロック化信号のフレーム間差分値とフィールド間差分値の値を求め、前記値をもとに前記直交変換手段でフレーム内直交変換またはフィールド内直交変換の一方の直交変換を選択するように制御する相関検出手段と、前記和ブロックと差ブロックを一つの中ブロックとする中ブロック化手段と、複数の前記中ブロックを一定データ量にデータ量圧縮して符号化する符号化手段を備えたことを特徴とする直交変換符号化装置。

【請求項2】相関検出手段は、小ブロック化信号の画素毎におけるフィールド間差の絶対値の総和 $D1$ とフレーム間差の絶対値の総和 $D2$ を求め、 $W \times D1 \geq D2$ (W は重み係数)の場合、前記直交変換手段でフレーム内直交変換を行い、 $W \times D1 < D2$

の場合は前記直交変換手段でフィールド内直交変換を行うように前記直交変換手段を制御することを特徴とする請求項1記載の直交変換符号化装置。

【請求項3】中ブロック化手段は、中ブロック内直交変換信号を空間的および時間的な低域成分から高域成分の順に並べることを特徴とする請求項1記載の直交変換符号化装置。

【請求項4】中ブロック化手段が前記中ブロック内直交変換信号を時間的低域成分から高域成分の順に並べるのに、前記直交変換手段がフレーム内直交変換を選択するときは和ブロック、差ブロックの順に直交変換信号を並べ、前記直交変換手段がフィールド内直交変換を選択するときは和ブロック内フィールド間和、差ブロック内フィールド間和、差ブロック内フィールド間差、和ブロック内フィールド間差の順に直交変換信号を並べることを特徴とする請求項3記載の直交変換符号化装置。

【請求項5】映像信号をフレーム単位で小ブロック化する小ブロック化手段と、前記小ブロック化された信号のフレーム間加算した和ブロックとフレーム間差分した差ブロックを得るフレーム間演算手段と、前記和ブロックおよび差ブロックを直交変換する直交変換手段と、前記小ブロック化信号のフレーム間差分値とフィールド間差分値の値を求め、前記値をもとに前記直交変換手段でフレーム内直交変換またはフィールド内直交変換の一方の直交変換を選択するように制御する相関検出手段と、前記和ブロックと差ブロックを一つの中ブロックとする中ブロック化手段と、複数の前記中ブロックを一定データ量にデータ量圧縮して符号化する符号化手段を備えた直交変換符号化装置によって符号化された映像信号データ

を前記符号化手段と逆の処理で復号化する復号化手段と、前記復号化されたデータを和ブロックと差ブロックとに並べ替える並べ替え手段と、前記和ブロックと前記差ブロックとをそれぞれ逆直交変換する逆直交変換手段と、逆直交変換された和ブロックと差ブロックとを加算および減算して少ブロック化信号を得るフレーム間逆演算手段と、前記少ブロックを並べて復号映像信号として出力するフレーム化手段とを備えていることを特徴とする直交変換復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル化された映像信号のデータ量を削減する直交変換符号化装置および直交変換復号化装置に関する。

【0002】

【従来の技術】一般に、映像信号は情報量が非常に大きいために、記録あるいは伝送を行なうにあたって、高能率符号化によって画質劣化が視覚的に目立たないように情報量を削減する方法が用いられる。この高能率符号化のひとつに直交変換符号化がある。

【0003】直交変換符号化は、映像信号をブロック化して、そのブロック毎に直交変換を用いて周波数分解を行い符号化するものである。そのとき、映像信号の情報量に応じて、人間の視覚特性上で画質劣化に影響の少ない高域成分から、そのデータ量の割当を少なくしてデータ量を削減するものである。直交変換の手法としては、映像信号のフレーム単位のノンインターレース信号に対しての離散コサイン変換(DCT)が最も盛んに用いられている。

【0004】また、高品位テレビジョン信号のように非常にデータ量の多い入力映像信号であったり、記録または伝送するデータ量を非常に少なくしなければならない場合のように、高能率符号化における圧縮率が大きくなれば、前記フレーム単位の直交変換符号化では画質劣化を十分に防げない。そこで、前記フレーム単位の処理(フレーム内処理)に加えて、フレーム間の差分に対しての高能率符号化(フレーム間処理)を用いている。

【0005】図4はフレーム間処理を用いた直交変換符号化装置のブロック図であって、連続する2フレームでフレーム内処理/フレーム間処理を行なう従来例の構成を示すものである。図4において、入力された映像信号は減算器1の一方の入力信号となり、減算器1の出力信号はブロック化器2によりブロック化され、直交変換器3により直交変換される。

【0006】符号化器4は、直交変換された信号を視覚的影響の少ない高域成分ほど粗い量子化ステップで量子化し、さらに可変長符号化などにより符号化して直交変換符号化信号として出力するとともに、復号化器5に送る。復号化器5で復号化および逆量子化された信号は、さらに逆直交変換器6により逆直交変換され、逆ブロッ

ク化器7で逆ブロック化される。逆ブロック化器7の出力信号は遅延器8に送られる。遅延器8は、逆ブロック化器7の出力信号を1フレーム期間遅延して、減算器1のもう一方の入力信号としている。上記構成において、減算器1は入力映像信号の前フレームの直交変換復号化映像信号と現フレームの映像信号との差分を得るものである。

【0007】上記構成において、本装置の第1フレームは減算器1によりフレーム間差分は得られないので、そのままフレーム内処理により直交変換符号化されるが、第2フレームはフレーム間差分が直交変換符号化される。よって、第2フレームもフレーム内処理するのに比べ、第2フレームはフレーム間における変化分のみが直交変換符号化されるので、符号化データ量を少なくできる。

【0008】また、この従来例のようにフレーム内／フレーム間差分の直交変換符号化方式では、フレーム内処理されたフレームの符号化による量子化誤差を次のフレーム間差分に誤差伝搬させないために、符号化時における復号化処理が必須となる。

【0009】例えば、第1のフレームの情報をAとし、その次の第2のフレームの情報をBとして、復号化処理を行わずにフレーム内(A)／フレーム間差分(B-A)処理を行なったときの量子化誤差(e1、e2)の状態を示すと以下の(数1)のようになる。

(数1)

フレーム内復号化情報 = A + e1
 フレーム間差分復号化情報 = (B-A) + e2
 この量子化誤差状態において、前記第1及び第2のフレームの復号化信号の情報は次の(数2)のようになる。

(数2)

第1のフレーム = A + e1
 第2のフレーム = B + e1 + e2
 つまり、第2のフレームの復号化信号には、第1のフレームのフレーム内処理における量子化誤差e1とフレーム間差分処理における量子化誤差e2が重畳されてしまい、第1のフレームの復号化信号より必ず劣化度が大きくなる。

【0010】それに対して、前記従来例のように復号化処理を含んだフレーム間差分処理を行なうと、フレーム間差分に前記フレーム内処理における量子化誤差e1を含んでいるので量子化誤差の状態は以下のようになる。

(数3)

フレーム内復号化情報 = A + e1
 フレーム間差分復号化情報 = (B - (A + e1)) + e3
 この量子化誤差状態において、前記第1及び第2のフレームの復号化信号の情報は次の(数4)のようになる。

(数4)

第1のフレーム = A + e1

第2のフレーム = B + e3

つまり、前記第2のフレームの復号化信号にはフレーム間差分処理における量子化誤差e3しか発生しないので、第1のフレームの量子化誤差と同一にする可能性はある。

【0011】

【発明が解決しようとする課題】しかしながら上記に示した従来の構成では、以下のような課題を有している。まず、直交変換符号化装置でありながら、その構成要素に復号化器5、逆直交変換器6および逆ブロック化器7の復号化回路を持っていて、回路規模を非常に大きくしている。これら構成要素は直交変換符号化装置によって符号化された信号をもとの映像信号に直交変換復号する復号化装置を構成するものであって、符号化器4、直交変換器3およびブロック化器2とおおいに回路の共用化できうるものである。

【0012】つぎに、フレーム内処理とフレーム間差分処理される各フレームの復号化信号における量子化誤差を均一にできる可能性があることは前述したが、そのためにはフレーム間差分処理するフレーム期間を長くしなければならない。つまり、フレーム間差分処理のためにはフレーム内処理の復号をも終了していなければならないので、フレーム内処理時には次のフレーム間差分の情報量は不明である。よって、フレーム間差分処理のフレーム期間が短ければ、前記量子化誤差e1とe3を等しくするのは非常に困難であるので、前記フレーム間差分処理のフレーム間期間を長くして、その間に各フレームの復号化信号における量子化誤差を均一化していかなければならなかった。

【0013】そのため、誤りによる誤り伝搬が長いフレーム期間にわたって非常に画質劣化の要因となっていた。特にビデオテープレコーダー(VTR)に応用するには、その誤り伝搬だけでなく、修整、編集、さらに高速サーチなどの特殊再生の点においても、上記フレーム間差分処理の期間を長くするにはその画質劣化のために大きな課題となっていた。

【0014】本発明はかかる点に鑑み、フレーム間差分処理における復号化回路なしで各フレームの復号化信号における量子化誤差は均一で、しかも2フレーム期間で常にフレーム内／フレーム間差分処理が完結する直交変換符号化装置を提供することを目的としている。

【0015】

【課題を解決するための手段】本発明の直交変換符号化装置は、映像信号をフレーム単位で小ブロック化する小ブロック化手段と、前記小ブロック化信号のフレーム間加算した和ブロックとフレーム間差分した差ブロックを得るフレーム間演算手段と、前記和ブロックおよび差ブロックを直交変換する直交変換手段と、前記小ブロック化信号のフレーム間差分値とフィールド間差分値の値を求め、前記値をもとに前記直交変換手段でフレーム内直

交変換またはフィールド内直交変換の一方の直交変換を選択するように制御する相関検出手段と、前記とブロックと差ブロックを一つの中ブロックとする中ブロック化手段と、複数の前記中ブロックを一定データ量にデータ量圧縮して符号化する符号化手段を備えているものである。

【0016】また、前記直交変換符号化装置によって符号化された映像信号データを前記符号化手段と逆の処理で復号化する復号化手段と、前記復号化されたデータを和ブロックと差ブロックとに並べ替える並べ替え手段と、前記和ブロックと前記差ブロックとをそれぞれ逆直交変換する逆直交変換手段と、逆直交変換された和ブロックと差ブロックとを加算および減算して少ブロック化信号を得るフレーム間逆演算手段と、前記少ブロックを並べて復号映像信号として出力するフレーム化手段とを備えているものである。

【0017】

【作用】上記構成により、2フレーム期間の映像信号に対して、フレーム間の和と差における直交変換、量子化及び符号化を行なうので、復号化回路がなくても、復号時に前記和と差の量子化誤差は2フレームの復号化信号のそれぞれに分散して量子化誤差を均一にでき、相関検出手段でフレーム間差とフィールド間差の大小判定により、直交変換手段でフレーム内およびフィールド内の直交変換を切り換えるので、静止画／動画モードの映像信号でもデータ量の削減が効率的に行える。

【0018】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。図1は本発明の一実施例における直交変換符号化装置のブロック図である。

【0019】図1において、10は入力映像信号をフレーム単位内で小ブロック化する小ブロック化器であって、本実施例では水平方向に8画素、垂直方向に8画素連続する64画素を一小ブロックとするものとする。20はフレーム間演算回路であって、前記小ブロック化信号のフレーム間の和ブロックと差ブロックを得るものである。

【0020】フレーム間演算回路20は、前記小ブロック化信号の2フレーム単位において、第1フレーム

(A)と第2フレーム(B)に分けるスイッチ21、前記第1フレーム(A)を1フレーム期間遅延する遅延器22、遅延器22により1フレーム遅延された第1フレーム(A)と前記第2フレーム(B)を加算して和ブロック(A+B)を得る加算器23、遅延器22により1フレーム遅延された第1フレーム(A)と前記第2フレーム(B)を減算して差ブロック(A-B)を得る減算器24、および前記和ブロック(A+B)と差ブロック(A-B)を交互に並べて64画素毎の小ブロック列にする結合器25とで構成される。

【0021】30は直交変換器であって、フレーム間演

算回路20より得る和ブロックまたは差ブロックごとに直交変換を行なう。ここで直交変換器30は、相関検出器60から得る制御信号によりフレーム内直交変換またはフィールド内直交変換を切り換えることができる。

【0022】40は、前記とブロックおよび差ブロックの直交変換信号をひとつの中ブロックとして直交変換信号を空間的および時間的な低域成分から高域成分の順に並べる中ブロック化器であって、相関検出器60から得る制御信号によりその直交変換信号の並びを切り換える。50は符号化器であって、中ブロック化器40より得る複数の中ブロック化された直交変換信号を一定データ量になるように、量子化および可変長符号化して本実施例の直交変換符号化信号として出力する。

【0023】以下、本実施例の動作を説明する。まず小ブロック化器10は、第1フレーム(A)と第2フレーム(B)に対して同じ小ブロック化処理を行なう。そのため加算器23および減算器24により加減算される2つの小ブロックはフレームは異なっているが画面上同位置の信号である。また小ブロック化処理は、上記2フレームに対して同処理であればよく、その小ブロックの並びは映像信号の走査順通り(水平方向で左から右へ、垂直方向で上から下)でなくてよい。

【0024】つぎに、フレーム内直交変換とフィールド内直交変換を切り換えることのできる直交変換器30の構成は、既に出願し公開された特開平4-266284号公報(特願平3-27284号)「直交変換装置」によって示している。本発明の場合、直交変換器30への入力信号は和ブロック化および差ブロック化されているので、本来のフレーム内／フィールド内という表現とは異なる。

【0025】しかし和ブロックおよび差ブロックともにフレーム間の演算結果であるので、奇数フィールド間の和・差演算および偶数フィールド間の和・差演算である。よって、前記奇数フィールド間の演算信号のみ、または偶数フィールドの演算信号のみをフィールド信号とし、奇数フィールド間と偶数フィールド間の和信号をノンインターレース化されている和ブロックまたは差信号をノンインターレース化されている差ブロックをフレーム信号とすることにより、直交変換器30の動作を説明できる。

【0026】具体的に、第1フレーム(A)が奇数フィールド(A1)と偶数フィールド(A2)のノンインターレース化信号とし、第2フレーム(B)が奇数フィールド(B1)と偶数フィールド(B2)のノンインターレース化信号として次に示す(数5)のようにあらわせば、和ブロック(A+B)および差ブロック(A-B)は(数6)のようになる。

(数5)

$$A = [A1, A2]$$

$$B = [B1, B2]$$

(数6)

$$A+B = [A1+B1, A2+B2]$$

$$A-B = [A1-B1, A2-B2]$$

よって、 $[A1+B1, A2+B2]$ および $[A1-B1, A2-B2]$ をフレーム信号とし、 $A1+B1$ 、 $A2+B2$ 、 $A1-B1$ 、および $A2-B2$ をそれぞれフィールド信号とすればよい。

【0027】また、直交変換器30は、フレーム内直交変換を行なうときは前記小ブロックに対して 8×8 の2次元直交変換をおこなうが、フィールド内直交変換を行なうときは前記小ブロックのフレーム信号中の各フィールド信号の画素サイズ（水平8画素、垂直4画素）の 8×4 の2次元直交変換を行い、そのフィールド間の和及び差を得るものである。これは、フィールド間差信号の2次元直交変換における直流成分も時間的高域成分とみなすことにより、小ブロック単位での直流成分をフィールド間和信号の直流成分のみにして、フレーム内直交変換した時と全く同様に後段の符号化器50の処理を行なわすものである。

【0028】以上の直交変換器30により前記和ブロック及び差ブロックをフィールド内直交変換された直交変換信号は、各信号A1、A2、B1、B2の直交変換信号をそれぞれa1、a2、b1、b2として表わせば、前記(数6)より次の(数7)のようになる。

(数7)

$$c1(\text{フィールド}) = a1 + a2 + b1 + b2 \quad : \text{和ブロックフィールド間和}$$

$$c2(\text{フィールド}) = a1 - a2 + b1 - b2 \quad : \text{和ブロックフィールド間差}$$

$$c3(\text{フィールド}) = a1 + a2 - b1 - b2 \quad : \text{差ブロックフィールド間和}$$

$$c4(\text{フィールド}) = a1 - a2 - b1 + b2 \quad : \text{差ブロックフィールド間差}$$

一方、フレーム内直交変換された直交変換信号は、各信号A、Bの直交変換信号をa、bで表わせば次の(数8)のようになる。

(数8)

$$c1(\text{フレーム}) = a + b \quad : \text{和ブロック}$$

$$c2(\text{フレーム}) = a - b \quad : \text{差ブロック}$$

つぎに、中ブロック化器40は前記(数7)および(数8)で示される直交変換信号を空間的および時間的な低域成分から高域成分の順に並べるものである。空間的並びについては、フレーム内およびフィールド内直交変換とも2次元直交変換の低次成分から高次成分に直交変換係数を並べる。その一例を図3に示す。一方、時間的並びは、フレーム内直交変換時のフレーム並びをd(フレーム)とし、フィールド内直交変換時のフィールド並びをd(フィールド)として次の(数9)のように並べる。

(数9)

$$d(\text{フレーム}) : c1(\text{フレーム}) \rightarrow c2(\text{フレーム})$$

$$d(\text{フィールド}) : c1(\text{フィールド}) \rightarrow c3(\text{フィールド}) \rightarrow c4(\text{フィールド}) \rightarrow c2(\text{フィールド})$$

(数9)において、d(フレーム)は前記(数8)に示すように、和ブロックから差ブロックの順になっており、2フレーム間の時間的平均を低域成分としている。また、d(フィールド)の並びについては、 $a1 \rightarrow a2 \rightarrow b1 \rightarrow b2$ が時間的な4フィールドのフィールド並びであるが、(数7)に見るように、c1(フィールド)、c2(フィールド)、c3(フィールド)、c4(フィールド)の各々は、前記4フィールド分のフィールド内直交変換信号に対する4次のアダマール変換になっている。(数9)のd(フィールド)は、そのアダマール変換における低域成分から高域成分の順に並べたものである。

【0029】以上のように、中ブロック化することにより、その中ブロック単位における直流成分はフレーム内直交変換/フィールド内直交変換にかかわらずただひとつであって、かつ直交変換信号が空間的にも時間的にも低域成分から高域成分の順に並んでいるので、符号化器50では全く同一の処理が行えることになる。また、符号化器50では前記中ブロックに2フレーム分の情報が含まれているので、従来のフレーム内処理が終了してからフレーム間差分処理を行なうようなフィードバック方式のデータ量制御に対して、2フレーム分をフィードフォワード方式のデータ量制御で行えて回路を簡単にできるだけでなく、2フレーム分のデータ量を一定にするデータ量制御が非常に容易である。

【0030】相関検出器60は前に説明したように、直交変換器30におけるフレーム内/フィールド内直交変換の切り替え、および中ブロック化器40における直交変換信号の並び替えの切り替えを示す制御信号を生成するものである。以下その動作を説明する。

【0031】相関検出器60では、まず入力された第1フレーム(A)と第2フレーム(B)の2フレームより、フィールド間差の絶対値の総和D1と、フレーム間差の絶対値の総和D2を求める。D1、D2は以下の

(数10)で計算される。

(数10)

$$D1 = |A1 - A2| + |B1 - B2|$$

$$D2 = |A1 - B1| + |A2 - B2|$$

そして、D1とD2の間で大小判定を行い、 $W \times D1 \geq D2$ (Wは重み係数)の場合はフレーム間差の値の方がフィールド間差よりも相対的に小さいので、中ブロック化器40出力信号がフレーム間和、フレーム間差の順に並ぶように直交変換器30でフレーム内直交変換を行い、さらに中ブロック化器40で(数9)のd(フレーム)の順に並べるように制御を行う。

【0032】これにより、後段の符号化器50において符号化すべき直交変換信号が和ブロックのみに近くなり

データ量の削減効果が増す。

【0033】一方、 $W \times D1 < D2$ の場合はフィールド間差分値が小さいモードであり、中ブロック化器40において並べられた直交変換信号列の高域成分の値が小さくなるように、直交変換器30でフィールド内直交変換を行い、さらに中ブロック化器40で(数9)のd(フィールド)の順に並べるように制御する。

【0034】以上説明したように本実施例によれば、フレーム間和・差また4フィールドのアダマール変換を行なって、符号化時に復号化処理を行なわなくとも量子化誤差は2フレームまた4フィールドに分散されて均一化されるので回路規模および画質の面で有効なものである。

【0035】また、相関検出器60でフレーム間差とフィールド間差の両方を求めて、両者を比較することで精度よく検出が行え、相関検出器60の制御信号によってフレーム内直交変換とフィールド内直交変換とを切り替えることで、符号化効率を向上させることができる。

【0036】なお、上記説明で相関検出器60は遅延器22出力の第1フレーム(A)とスイッチ21出力の第2フレーム(B)よりフレーム間差とフィールド間差のデータを求めるように構成したが、フレーム間差は減算器24の出力を利用してよいし、また結合器25の出力を用いてフレーム間差とフィールド間差を求めてもよい。

【0037】また、相関検出器60で計算するフィールド間差の絶対値の総和D1と、フレーム間差の絶対値の総和D2を、(数11)とし、D1とD2の間で大小判定を行っても、十分な精度で検出ができ、同様の効果が得られる。

(数11)

$$D1 = |A1 - A2|$$

$$D2 = |A1 - B1|$$

重み係数Wは、フレーム間の画素間距離とフィールド間の画素間距離の比や、実験から求められる値であり、通常は1~1.5程度の値を用いる。符号化器50における符号化方法はどのようなものであっても、本実施例の効果に何ら変わりはない。

【0038】次に本発明の一実施例の直交変換復号化装置について説明する。図2は直交変換復号化装置のブロック図であり、70は復号化器であって、符号化器50で行われた量子化および可変長符号化の逆の処理を行って直交変換信号列に復号するものである。80は並べ替え器であって、中ブロック化器40の逆の処理により入力された直交変換信号列をもとの和ブロックと差ブロックの信号列に並べ替える。90は逆直交変換器であって、直交変換器30の逆の処理により前記和ブロックおよび差ブロックそれぞれに逆直交変換を施すものである。100はフレーム間逆演算回路であって、逆直交変換器90出力の和ブロックと差ブロックから、フレーム

単位内の小ブロック化信号を作り出すものである。

【0039】フレーム間逆演算回路100は、和ブロックと差ブロックを交互に並べたブロック列となっている入力を和ブロック(A+B)のみと差ブロック(A-B)のみからなる信号列に分離する分離器101と、前記和ブロックと差ブロックを加算して第1フレーム

(A)を得る加算器102と、前記和ブロックと差ブロックを減算して第2フレーム(B)を得る減算器103と、前記第2フレーム(B)を1フレーム期間遅延する遅延器104と、前記第1フレーム(A)と1フレーム期間遅延された前記第2フレーム(B)とをフレーム単位で切り替えて出力するスイッチ105とで構成されている。

【0040】110はフレーム化器であって、フレーム間逆演算回路100から出力された小ブロック化された信号列を、小ブロック化器10と逆の処理でもとのフレーム映像信号にもどすものである。

【0041】以下、本実施例の動作を説明する。前記直交変換符号化装置によって符号化された信号は、復号処理を行われるにあたって、まず復号化器70に入力され、符号化器50で行われた量子化および可変長符号化の逆の処理の可変長符号復号化と逆量子化を行って直交変換信号列に復号される。復号された前記直交変換信号列は並べ替え器80で、中ブロック化器40の逆の処理により、(数9)に示すd(フレーム)かd(フィールド)かによって処理を切り替えて、もとの和ブロックと差ブロックの信号列に並べ替えられる。

【0042】次に、前記和ブロックおよび差ブロックは逆直交変換器90で、直交変換器30の逆の処理によりフレーム内処理かフィールド内処理かを切り替えて逆直交変換を施され、映像信号列からなる和ブロックと差ブロックになる。

【0043】フレーム間逆演算器100は、分離器101で前記和ブロックと差ブロックを交互に並べたブロック列となっている入力を和ブロック(A+B)のみと差ブロック(A-B)のみからなる信号列に分離し、加算器102で分離器101出力の和ブロックと差ブロックを加算して第1フレーム(A)を得、減算器103で前記和ブロックと差ブロックを減算して第2フレーム

(B)を得る。そして前記第2フレーム(B)を遅延器104で1フレーム期間遅延した後、前記第1フレーム(A)と1フレーム期間遅延された前記第2フレーム(B)とをスイッチ105でフレーム単位で切り替えて出力する。

【0044】そして、フレーム化器110で、フレーム単位のブロック化信号になっているフレーム(A)と(B)を、小ブロック化器10と逆の処理でもとのフレーム映像信号にもどす。

【0045】以上のように、本実施例によれば、前記直交変換符号化装置で符号化された映像信号を復号化する

際に、和ブロックと差ブロックそれぞれに生じている量子化誤差が、再度の和差処理によって2フレームまたは4フィールドに分散されて均一化されるので、再生画像に2フレーム間のS/Nのアンバランスによるフリッカ等が生じることがなく、良好な再生画質を得ることができる。

【0046】

【発明の効果】以上の説明から、2フレーム期間の映像信号に対して、フレーム間の和と差における直交変換、量子化及び符号化を行なうので、復号化回路がなくとも、復号時に前記和と差の量子化誤差は2フレームの復号化信号のそれぞれに分散して量子化誤差を均一にできる。さらに、直交変換手段がフレーム内およびフィールド内の直交変換を切り換えて静止画／動画モードの映像信号でもデータ量の削減が効率的に行えて、かつ前記静止画／動画モードでも前記中ブロック内直交変換信号が時間的および空間的な低域成分から高域成分の順に並んでいるので、前記2つのモードにかかわらず量子化・符号化処理を同一にでき、回路の簡単化が図れる。

【図面の簡単な説明】

【図1】本発明の一実施例における直交変換符号化装置のブロック図

【図2】本発明の一実施例における直交変換復号化装置のブロック図

【図3】本発明の一実施例における直交変換符号化装置の構成要素である中ブロック化器による直交変換信号の伝送順序を示す図

【図4】従来の直交変換符号化装置のブロック図

【符号の説明】

- 10 小ブロック化器
- 20 フレーム間演算回路
- 30 直交変換器
- 40 中ブロック化器
- 50 符号化器
- 60 相関検出器
- 70 復号化器
- 80 並べ替え器
- 90 逆直交変換器
- 100 フレーム間逆演算回路
- 110 フレーム化器

【図3】

(a)

	低域	水平 →								高域
低域	1	2	6	7	15	16	28	29		
	3	5	8	14	17	27	30	43		
	4	9	13	18	26	31	42	44		
垂直 ↓	10	12	19	25	32	41	45	54		
	11	20	24	33	40	46	53	55		
	21	23	34	39	47	52	56	61		
	22	35	38	48	51	57	60	62		
高域	36	37	49	50	58	59	63	64		

フレーム内直交変換(8×8)

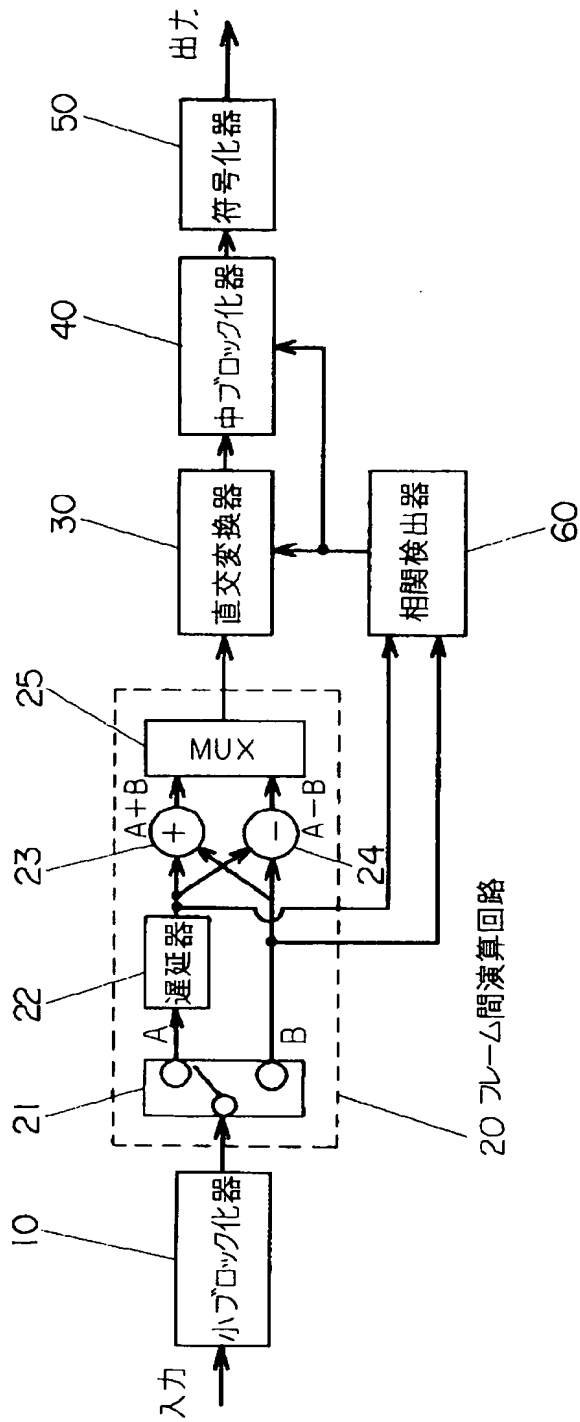
(b)

	低域	水平 →								高域
低域	1	2	6	7	14	15	22	23		
	3	5	8	13	16	21	24	29		
	4	9	12	17	20	25	28	30		
垂直 ↓	10	11	18	19	26	27	31	32		

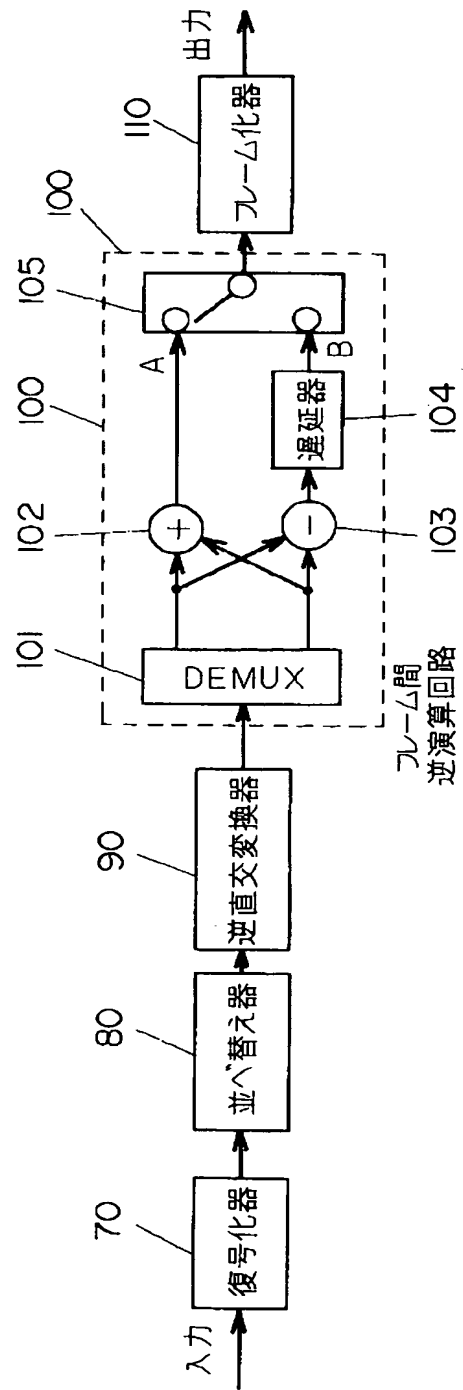
フィールド内直交変換(8×4)

(数字は伝送順序を示す)

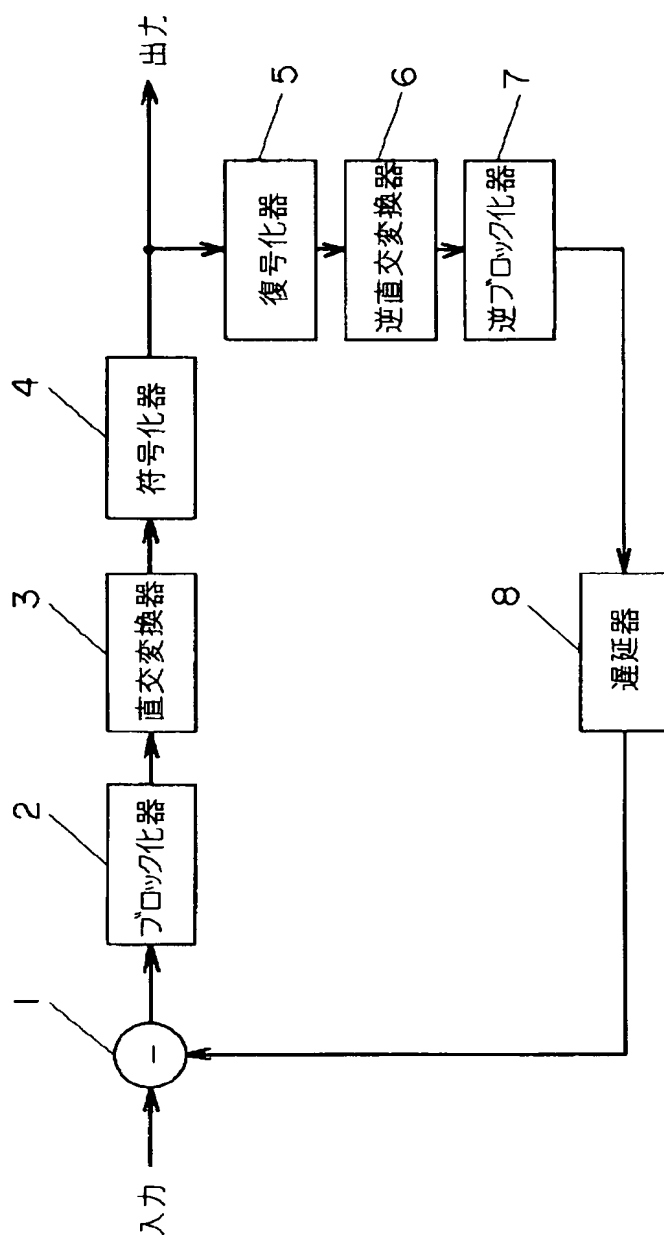
【図1】



【図2】



【図4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-292179

(43)Date of publication of application : 18.10.1994

(51)Int.Cl. H04N 7/133

H03M 7/30

H04N 7/137

(21)Application number : 05-075468 (71)Applicant : MATSUSHITA
ELECTRIC IND CO LTD

(22)Date of filing : 01.04.1993 (72)Inventor : AWAMOTO SHIGERU

MATSUDA TOYOHICO

NISHINO SHOICHI

(54) ORTHOGONAL TRANSFORM ENCODER AND ORTHOGONAL
TRANSFORM DECODER

(57)Abstract:

PURPOSE: To provide an orthogonal transform encoder with uniform quantize error in the decoded signal of each frame without providing a decoder circuit in inter-frame differential processing and also. which always completes the in-frame/inter-frame differential processing in two frame periods.

CONSTITUTION: This encoder/decoder is constituted of an inter-frame arithmetic circuit 20 which obtains a sum block in which a signal made into a small block at the frame unit of a video signal is inter-frame added and a differential block to which inter-frame difference is applied, an orthogonal transformer 30 which performs the orthogonal transformation of the sum block and the differential block, a middle blocking device 40 which forms one middle block with the sum block and the differential block, and an encoder 50 which

encodes data by performing data compression to constant data amount by
collecting plural middle blocks.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of
rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A small blocking means to small-block a video signal per frame, and an inter-frame operation means to acquire the difference block which carried out inter-frame difference to the sum block with which said small blocking signal carried out inter-frame addition, The value of a value is calculated. the orthogonal transformation means which carries out orthogonal transformation of said sum block and the difference block, and inter-frame [of said small blocking signal] -- difference -- between a value and the field -- difference -- A correlation detection means to control to choose one orthogonal transformation of the orthogonal transformation in a frame, or the orthogonal transformation in the field with said orthogonal transformation means based on said value, Orthogonal transformation coding equipment characterized by having a blocking means and a coding means to carry out amount-of-data compression of the block in [said] plurality at the fixed amount of data, and to encode while considering said sum

block and difference block as a block in one.

[Claim 2] A correlation detection means asks for the total D1 of the absolute value of the difference between the fields and the total D2 of the absolute value of an inter-frame difference in every pixel of a small blocking signal, and is $W \times D1 \geq D2$ (W is a weighting factor).

It is orthogonal transformation coding equipment according to claim 1 characterized by controlling said orthogonal transformation means so that a ** case performs orthogonal transformation in a frame with said orthogonal transformation means and said orthogonal transformation means performs orthogonal transformation in the field in the case of $W \times D1 < D2$.

[Claim 3] An inside blocking means is orthogonal transformation coding equipment according to claim 1 characterized by arranging the orthogonal transformation signal within an inside block in order of a high-frequency component from a spatial and time low-pass component.

[Claim 4] Although arranged in order of a high-frequency component from a time low-pass component, an inside blocking means the orthogonal transformation signal within said inside block When said orthogonal transformation means chooses the orthogonal transformation in a frame, a sum block, When an orthogonal transformation signal is arranged in order of a difference block and said orthogonal transformation means chooses the orthogonal transformation in

the field, the sum between the fields within a sum block, Orthogonal transformation coding equipment according to claim 3 characterized by arranging an orthogonal transformation signal in order of the sum between the fields within a difference block, the difference between the fields within a difference block, and the difference between the fields within a sum block.

[Claim 5] A small blocking means to small-block a video signal per frame, and an inter-frame operation means to acquire the difference block which carried out inter-frame difference to the sum block with which said small-blocked signal carried out inter-frame addition, The value of a value is calculated. the orthogonal transformation means which carries out orthogonal transformation of said sum block and the difference block, and inter-frame [of said small blocking signal] -- difference -- between a value and the field -- difference -- A correlation detection means to control to choose one orthogonal transformation of the orthogonal transformation in a frame, or the orthogonal transformation in the field with said orthogonal transformation means based on said value, A blocking means while considering said sum block and difference block as a block in one, A decryption means to decrypt the video-signal data encoded by orthogonal transformation coding equipment equipped with a coding means to carry out amount-of-data compression of the block in [said] plurality at the fixed amount of data, and to encode by processing of said coding means and reverse, The

rearrangement means which rearranges said decrypted data into a sum block and a difference block, The reverse orthogonal transformation means which carries out reverse orthogonal transformation of said sum block and said difference block, respectively, Orthogonal transformation decryption equipment characterized by having an inter-frame reverse operation means to add and subtract the sum block and difference block by which reverse orthogonal transformation was carried out, and to acquire a few blocking signal, and a frame-ized means to put said few block in order and to output as a decode video signal.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the orthogonal transformation coding equipment and orthogonal transformation decryption equipment which reduce the amount of data of the digitized video signal.

[0002]

[Description of the Prior Art] Generally, in performing record or transmission,

since amount of information of a video signal is very large, the approach of reducing amount of information so that image quality degradation may not be visually conspicuous with high efficiency coding is used. One of the high efficiency coding of this has orthogonal transformation coding.

[0003] Orthogonal transformation coding blocks a video signal, for the block of every, using orthogonal transformation, performs frequency decomposition and encodes. Then, according to the amount of information of a video signal, from a high-frequency component with little [to image quality degradation] effect on human being's vision property, allocation of the amount of data is lessened and the amount of data is reduced. As the technique of orthogonal transformation, the discrete cosine transform (DCT) to the non-interlaced signal of the frame unit of a video signal is used most briskly.

[0004] Moreover, if it is an input video signal with dramatically much amount of data like a high definition television signal or the compressibility in high efficiency coding becomes large like [in the case of having to lessen dramatically the amount of data recorded or transmitted], in orthogonal transformation coding of said frame unit, image quality degradation cannot fully be prevented. then, processing (processing in a frame) of said frame unit -- in addition, high efficiency coding to inter-frame difference (inter-frame processing) is used.

[0005] Drawing 4 is the block diagram of the orthogonal transformation coding

equipment which used inter-frame processing, and shows the configuration of the conventional example which performs processing in a frame / inter-frame processing by two continuous frames. In drawing 4 , the inputted video signal turns into one input signal of a subtractor 1, the output signal of a subtractor 1 is blocked by the blocking machine 2, and orthogonal transformation is carried out by DC to AC converter 3.

[0006] An encoder 4 is sent to the decryption machine 5 while quantizing by the coarse quantization step, encoding by variable length coding etc. further and a high-frequency component with little visual effect outputting the signal by which orthogonal transformation was carried out as an orthogonal transformation coded signal. Reverse orthogonal transformation of the signal by which decryption and reverse quantization were carried out with the decryption vessel 5 is further carried out by reverse DC to AC converter 6, and reverse blocking is carried out with the reverse blocking vessel 7. The output signal of the reverse blocking machine 7 is sent to the delay machine 8. The delay machine 8 carries out one-frame period delay of the output signal of the reverse blocking machine 7, and makes it another input signal of a subtractor 1. In the above-mentioned configuration, a subtractor 1 obtains the difference of the orthogonal transformation decryption video signal of the frame before the video signal of an input, and the video signal of the present frame.

[0007] the above-mentioned configuration -- setting -- the 1st frame of this equipment -- a subtractor 1 -- inter-frame -- although orthogonal transformation coding is carried out as it is by the processing in a frame since difference is not obtained -- the 2nd frame -- inter-frame -- orthogonal transformation coding of the difference is carried out. Therefore, since orthogonal transformation coding only of a changed part [in / compared with processing the 2nd frame in a frame / in the 2nd frame / inter-frame] is carried out, the amount of coded data can be lessened.

[0008] moreover, this conventional example -- like -- the inside of a frame / inter-frame one -- the quantization error by coding of the frame processed in the frame by the orthogonal transformation coding method of difference -- inter-frame [of a degree] -- in order not to make difference carry out error propagation, the decryption processing at the time of coding becomes indispensable.

[0009] for example, the ** which sets information on the 1st frame to A, sets information on the 2nd following frame to B, and does not perform decryption processing -- the (inside A) of a frame / inter-frame one -- difference (B-A) -- if the condition of the quantization error (e_1 , e_2) when processing is shown, it will become as shown in (several 1) of the following.

(Several 1)

decryption information in a frame = $A + e1$ inter-frame -- difference -- decryption information = $(B-A) + e2$ -- in this quantization error condition, the information on the decryption signal of said 1st and 2nd frames becomes as shown in the following (several 2).

(Several 2)

the 1st frame = $A + e1$ The 2nd frame = $B + e1 + e2$ + the quantization error [in / in $e2$, i.e., the decryption signal of the 2nd frame, / the processing in a frame of the 1st frame] $e1$, and inter-frame -- difference -- it will be superimposed on the quantization error $e2$ in processing, and whenever [degradation] surely becomes large from the decryption signal of the 1st frame.

[0010] inter-frame [which included decryption processing like said conventional example to it] -- difference -- if it processes -- inter-frame -- since the quantization error $e1$ in the processing in said frame is included in difference, the condition of a quantization error is as follows.

(Several 3)

decryption information in a frame = $A + e1$ inter-frame -- difference -- decryption information = $(B - (A + e1)) + e3$ -- in this quantization error condition, the information on the decryption signal of said 1st and 2nd frames becomes as shown in the following (several 4).

(Several 4)

the 1st frame = A + The e1 2nd frame = B + e3, i.e., the decryption signal of said 2nd frame, -- inter-frame -- difference -- since only the quantization error e3 in processing is generated, it may be made the same as that of the quantization error of the 1st frame.

[0011]

[Problem(s) to be Solved by the Invention] However, with the conventional configuration shown above, it has the following technical problems. First, though it is orthogonal transformation coding equipment, it has the decryption circuit of the decryption machine 5, reverse DC to AC converter 6, and the reverse blocking machine 7 in the component, and circuit magnitude is enlarged dramatically. These components constitute the decryption equipment which carries out the orthogonal transformation decode of the signal encoded by orthogonal transformation coding equipment at the video signal of a basis, and may greatly be able to carry out [****]-izing of the circuit with an encoder 4, DC to AC converter 3, and the blocking machine 2.

[0012] the next -- the processing in a frame, and inter-frame -- difference -- although it mentioned above that the quantization error in the decryption signal of each frame processed might be made to homogeneity -- for that purpose -- inter-frame -- difference -- the frame period to process must be lengthened. that is, inter-frame -- difference -- since decode of the processing in a frame must

also be ended for processing -- the time of the processing in a frame --
inter-frame [of a degree] -- the amount of information of difference is unknown.
therefore, inter-frame -- difference -- if the frame period of processing is short,
since it is dramatically difficult to make equal said quantization errors e_1 and e_3
-- inter-frame [said] -- difference -- the inter-frame period of processing had to
be lengthened and the quantization error in the decryption signal of each frame
had to be equalized to the meantime.

[0013] Therefore, the error propagation by the error caused extraordinary image
quality degradation over the long frame period. for applying to especially a video
tape recorder (VTR) -- not only the error propagation but retouch, and edit --
further -- the point of special playback of a high-speed search etc. -- also setting
-- the above-mentioned inter-frame one -- difference -- for lengthening the period
of processing, it had become a big technical problem for the image quality
degradation.

[0014] this invention -- this point -- taking an example -- inter-frame -- difference
-- the quantization error [in / without a decryption circuit / the decryption signal of
each frame] in processing -- uniform -- moreover -- a two-frame period -- always
-- the inside of a frame / inter-frame one -- difference -- it aims at offering the
orthogonal transformation coding equipment which processing completes.

[0015]

[Means for Solving the Problem] A small blocking means by which the orthogonal transformation coding equipment of this invention small-blocks a video signal per frame, An inter-frame operation means to acquire the difference block which carried out inter-frame difference to the sum block in which said small blocking signal carried out inter-frame addition, The value of a value is calculated. the orthogonal transformation means which carries out orthogonal transformation of said sum block and the difference block, and inter-frame [of said small blocking signal] -- difference -- between a value and the field -- difference -- A correlation detection means to control to choose one orthogonal transformation of the orthogonal transformation in a frame, or the orthogonal transformation in the field with said orthogonal transformation means based on said value, While considering said sum block and difference block as a block in one, it has the blocking means and a coding means to carry out amount-of-data compression of the block in [said] plurality at the fixed amount of data, and to encode.

[0016] Moreover, a decryption means to decrypt the video-signal data encoded by said orthogonal transformation coding equipment by processing of said coding means and reverse, The rearrangement means which rearranges said decrypted data into a sum block and a difference block, The reverse orthogonal transformation means which carries out reverse orthogonal transformation of

said sum block and said difference block, respectively, It has an inter-frame reverse operation means to add and subtract the sum block and difference block by which reverse orthogonal transformation was carried out, and to acquire a few blocking signal, and a frame-ized means to put said few block in order and to output as a decode video signal.

[0017]

[Function] By the above-mentioned configuration, since the orthogonal transformation in the sum and a difference, inter-frame quantization, and inter-frame coding are performed to the video signal of a two-frame period Even if there is no decryption circuit, the quantization error of said sum and difference is distributed to each of the decryption signal of two frames at the time of decode, and a quantization error is made to homogeneity. With a correlation detection means by the size judging of an inter-frame difference and the difference between the fields Since the orthogonal transformation in a frame and the field is switched with an orthogonal transformation means, the amount of data is efficiently reducible with the video signal of a still picture/cine mode.

[0018]

[Example] Hereafter, the example of this invention is explained, referring to a drawing. Drawing 1 is the block diagram of the orthogonal transformation coding equipment in one example of this invention.

[0019] In drawing 1 , 10 shall be a small blocking machine which small-blocks an input video signal within a frame unit, and shall consider horizontally 8 pixels and 64 pixels which continues perpendicularly 8 pixels as a 1 smallness block by this example. 20 is an inter-frame arithmetic circuit and acquires an inter-frame sum block and inter-frame difference block of said small blocking signal.

[0020] The inter-frame arithmetic circuit 20 is set per two frames of said small blocking signal. With the switch 21 divided into the 1st frame (A) and the 2nd frame (B), the delay machine 22 which carries out one-frame period delay of said 1st frame (A), and the delay vessel 22 With the adder 23 and the delay machine 22 which add the 1st frame (A) delayed one frame and said 2nd frame (B), and acquire a sum block (A+B) It consists of a subtractor 24 which subtracts the 1st frame (A) delayed one frame and said 2nd frame (B), and acquires a difference block (A-B), and a coupler 25 which arranges said sum block (A+B) and difference block (A-B) in by turns, and makes them the small block train in every 64 pixels.

[0021] 30 is a DC to AC converter and performs orthogonal transformation for every sum block acquired from the inter-frame arithmetic circuit 20, or difference block. DC to AC converter 30 can switch the orthogonal transformation in a frame, or the orthogonal transformation in the field here with the control signal acquired from a correlating detector 60.

[0022] 40 switches the list of the orthogonal transformation signal with the control signal which is a blocking machine while arranging an orthogonal transformation signal in order of a high-frequency component from a spatial and time low-pass component, and acquires the orthogonal transformation signal of said sum block and a difference block from a correlating detector 60 as a block in one. 50 becomes the fixed amount of data about the orthogonal transformation signal which is an encoder and was blocked in the plurality obtained from the inside blocking machine 40 -- as -- quantization -- and variable length coding is carried out and it outputs as an orthogonal transformation coded signal of this example.

[0023] Hereafter, actuation of this example is explained. The small blocking machine 10 performs the same small blocking processing to the 1st frame (A) and the 2nd frame (B) first. Therefore, two small blocks subtracted and added by the adder 23 and the subtractor 24 are the signals of screen top homotopic, although frames differ. Moreover, the list of the small block may not be as the order of a scan of a video signal (from a top to the bottom [It being horizontal and from the left to the right.]) that small blocking processing should just be this processing to the two above-mentioned frames.

[0024] Below, *****4-266284***** (Japanese Patent Application No. No. 27284 [three to]) "an inverter unit" which already applied and was exhibited

shows the configuration of DC to AC converter 30 which can switch the orthogonal transformation in a frame, and the orthogonal transformation in the field. Since the input signal to DC to AC converter 30 is sum-blocked and difference blocked in the case of this invention, it differs from an expression called the inside of original inside of a frame / field.

[0025] However, since it is the result of an operation inter-frame in a sum block and a difference block, they are the sum and the difference operation between the odd number fields, and the sum and the difference operation between the even number fields. Therefore, by making only the operation signal of the operation signal between said odd number fields or the even number field into a field signal, and making into a frame signal the difference block made non-interlaced in the sum block or difference signal made non-interlaced in the sum signal between the odd number fields and between the even number fields can explain actuation of DC to AC converter 30.

[0026] concretely, the 1st frame (A) considers as the non-interlaced-ized signal of the odd number field (A1) and the even number field (A2), and the 2nd frame (B) shows below as a non-interlaced-ized signal of the odd number field (B1) and the even number field (B-2) (several 5) -- if expressed like, a sum block (A+B) and a difference block (A-B) will become as shown in (several 6).

(Several 5)

$$A = [A1, A2]$$

$$B = [B1, B2]$$

(Several 6)

$$A+B = [A1+B1, A2+B2]$$

$$A-B = [A1-B1, A2-B2]$$

Therefore, what is necessary is to make $[A1+B1, A2+B-2]$, and $[A1-B1, A2-B-2]$ into a frame signal, and just to make $A1+B1$, $A2+B-2$, $A1-B1$, and $A2-B-2$ into a field signal, respectively.

[0027] Moreover, although DC to AC converter 30 performs two-dimensional orthogonal transformation of 8×8 to said small block when performing orthogonal transformation in a frame, when performing orthogonal transformation in the field, it performs two-dimensional orthogonal transformation of 8×4 of the pixel size (vertical [8 pixels of horizontals] 4 pixels) of each field signal in the frame signal of said small block, and acquires the sum and the difference between the field.

This is a ***** thing about processing of the latter encoder 50 completely like the time of carrying out and carrying out orthogonal transformation in a frame of the dc component in a small block unit only to the dc component of the sum signal between the fields by considering that the dc component in the two-dimensional orthogonal transformation of the difference signal between the fields is also a time high-frequency component.

[0028] If the orthogonal transformation signal in which orthogonal transformation in the field was carried out by above DC to AC converter 30 in said sum block and the difference block expresses each signals A1, A2, and B1 and the orthogonal transformation signal of B-2 as a1, a2, b1, and b2, respectively, it will become as [above / (several 6)] shown in the following (several 7).

(Several 7)

$c1 \text{ (field)} = a1 + a2 + b1 + b2$ the sum $c2 \text{ (field)}$ between :sum block fields =

$a1 - a2 + b1 - b2$: Difference $c3 \text{ (field)}$ between the sum block fields = $a1 + a2 - b1 - b2$:

The sum $c4 \text{ (field)}$ between the difference block fields = $a1 - a2 - b1 + b2$:

Difference one side between the difference block fields, If the orthogonal transformation signal by which orthogonal transformation in a frame was carried out expresses the orthogonal transformation signal of each signals A and B with a and b, it will become as shown in the following (several 8).

(Several 8)

$c1 \text{ (frame)} = a + b$: Sum block $c2 \text{ (frame)} = a - b$: a difference block -- the inside

blocking machine 40 arranges the above (several 7) and (several 8) the

orthogonal transformation signal shown in next in order of a high-frequency

component from a spatial and time low-pass component. a spatial list -- the

inside of a frame, and the orthogonal transformation in the field --

two-dimensional orthogonal transformation -- low -- a rectangular transform

coefficient is arranged in a high order component from degree component. The example is shown in drawing 3 . On the other hand, a time list sets the frame list at the time of the orthogonal transformation in a frame to d (frame), and it sets the field list at the time of the orthogonal transformation in the field to d (field), and as shown in the following (several 9), it puts it in order.

(Several 9)

d (frame) : c1 (frame) ->c2 (frame)

d (field) : In c1 (field) ->c3 (field) ->c4 (field) ->c2 (field) (several 9), as shown above (several 8), d (frame) is the order of a difference block from the sum block, and is using the 2 inter-frame time average as the low-pass component. Moreover, about the list of d (field), although a1 ->a2 ->b1 ->b2 are the field list of the 4 time fields, each of c1 (field), c2 (field), c3 (field), and c4 (field) is the 4th Hadamard transform to the orthogonal transformation signal in the field for said 4 fields so that it may see to (several 7). d (field) of (several 9) is arranged in order of a high-frequency component from the low-pass component in the Hadamard transform.

[0029] As mentioned above, the number of dc components [in / by blocking inside / the inside block unit] is merely one irrespective of the orthogonal transformation in a frame / orthogonal transformation in the field, and since the orthogonal transformation signal is located in a line in order of the

high-frequency component from the low-pass component also spatially and in time, they can completely perform the same processing in an encoder 50. moreover -- since the information for two frames is included in said inside block in the encoder 50 and the conventional processing in a frame is completed -- inter-frame -- difference -- the amount-of-data control which can perform two frames by amount-of-data control of a feedforward method, does not come out of a circuit as much as possible simply to amount-of-data control of a feedback method which processes, and makes regularity the amount of data for two frames is dramatically easy.

[0030] A correlating detector 60 generates the control signal which shows the change of the inside of a frame / orthogonal transformation in the field in DC to AC converter 30, and the change of rearrangement of the orthogonal transformation signal in the inside blocking machine 40, as explained above. The actuation is explained below.

[0031] In a correlating detector 60, it asks for the total D1 of the absolute value of the difference between the fields, and the total D2 of the absolute value of an inter-frame difference from two frames, the 1st frame (A) inputted first and the 2nd frame (B). D1 and D2 are calculated by following (several 10).

(Several 10)

$D1=|A1-A2|+|B1-B2|$ $D2=|A1-B1|+|A2-B-2|$ -- and Perform a size judging

between D1 and D2, and since it is more relatively [the value of an inter-frame difference / than the difference between the fields] small in the case of $W \times D1 \geq D2$ (W is a weighting factor) Orthogonal transformation in a frame is performed by DC to AC converter 30 so that inside blocking machine 40 output signal may be located in a line in order of the inter-frame sum and an inter-frame difference, and it controls to arrange in order of d (frame) of (several 9) with the inside blocking vessel 40 further.

[0032] The orthogonal transformation signal which should be encoded in the latter encoder 50 becomes close only to a sum block by this, and the cutback effectiveness of the amount of data increases.

[0033] on the other hand -- $W \times D1 < D2$ -- the case of D2 -- between the fields -- difference -- a value is the small mode, and orthogonal transformation in the field is performed by DC to AC converter 30, and it controls to arrange in order of d (field) of (several 9) with the inside blocking vessel 40 further so that the value of the high-frequency component of the orthogonal transformation signal train put in order in the inside blocking machine 40 becomes small.

[0034] As explained above, even if it performs the Hadamard transform of the inter-frame sum, a difference, and the 4 fields according to this example and does not perform decryption processing at the time of coding, since it is distributed and equalized by the two 4 fields again, a quantization error is

effective in respect of circuit magnitude and image quality.

[0035] Moreover, both an inter-frame difference and the difference between the fields can be searched for with a correlating detector 60, it can detect with a sufficient precision by comparing both, and coding effectiveness can be raised by changing the orthogonal transformation in a frame, and the orthogonal transformation in the field with the control signal of a correlating detector 60.

[0036] In addition, although it constituted so that a correlating detector 60 might ask for the data of an inter-frame difference and the difference between the fields by the above-mentioned explanation from the 1st frame (A) of delay machine 22 output, and the 2nd frame (B) of switch 21 output, an inter-frame difference may use the output of a subtractor 24, and may search for an inter-frame difference and the difference between the fields using the output of a coupler 25.

[0037] Moreover, even if it sets to (several 11) the total D1 of the absolute value of the difference between the fields calculated with a correlating detector 60, and total D2 of the absolute value of an inter-frame difference and performs a size judging between D1 and D2, detection is possible in sufficient precision and the same effectiveness is acquired.

(Several 11)

$D1=|A1-A2|$ $D2=|A1-B1|$ weighting-factor W is the ratio of an inter-frame distance

between pixels, and the distance between pixels between the fields, and a value calculated from an experiment, and about one to 1.5 value is usually used for it. No matter the coding approach in an encoder 50 may be what thing, there is no change in the effectiveness of this example in any way.

[0038] Next, the orthogonal transformation decryption equipment of one example of this invention is explained. Drawing 2 is the block diagram of orthogonal transformation decryption equipment, and 70 is a decryption machine, it processes the reverse of the quantization performed with the encoder 50, and variable length coding, and decodes it in an orthogonal transformation signal train. 80 is a rearrangement machine and rearranges into the signal train of the sum block of a basis, and a difference block the orthogonal transformation signal train inputted by processing of the reverse of the inside blocking machine 40. 90 is a reverse DC to AC converter, and performs reverse orthogonal transformation to said sum block and each difference block by processing of the reverse of DC to AC converter 30. 100 is an inter-frame reverse arithmetic circuit, and makes the small blocking signal within a frame unit from a sum block and difference block of reverse DC to AC converter 90 output.

[0039] The eliminator 101 which divides the input to which the inter-frame reverse arithmetic circuit 100 serves as a block train which arranged the sum block and the difference block in by turns into the signal train which consists only

of a sum block ($A+B$) and a difference block ($A-B$), The adder 102 which adds said sum block and difference block and obtains the 1st frame (A), The subtractor 103 which subtracts said sum block and difference block and obtains the 2nd frame (B), It consists of a delay machine 104 which carries out one-frame period delay of said 2nd frame (B), and a switch 105 which changes said 1st frame (A) and said 2nd frame (B) by which one-frame period delay was carried out per frame, and outputs it.

[0040] 110 is a frame-ized machine and returns the small-blocked signal train which was outputted from the inter-frame reverse arithmetic circuit 100 to the frame video signal of a basis by processing of the small blocking machine 10 and reverse.

[0041] Hereafter, actuation of this example is explained. In performing decode processing, the signal encoded by said orthogonal transformation coding equipment is first inputted into the decryption machine 70, performs quantization performed with the encoder 50, and a variable-length sign decryption and reverse quantization of variable length coding of processing of reverse, and is decoded by the orthogonal transformation signal train. Said decoded orthogonal transformation signal train is the rearrangement machine 80, by d (frame) or d (field) shown in (several 9), changes processing and is rearranged into the signal train of the sum block of a basis, and a difference block by processing of the

reverse of the inside blocking machine 40.

[0042] Next, said sum block and a difference block are reverse DC to AC converters 90, and they change the processing in a frame, or the processing in the field by processing of the reverse of DC to AC converter 30, and reverse orthogonal transformation is performed to them, and they turn into the sum block and difference block which consist of a video-signal train.

[0043] An inter-frame reverse computing element 100 divides the input used as the block train which arranged said sum block and difference block in by turns with the eliminator 101 into the signal train which consists only of a sum block $(A+B)$ and a difference block $(A-B)$, adds a sum block and a difference block of eliminator 101 output with an adder 102, obtains the 1st frame (A), subtracts said sum block and difference block with a subtractor 103, and obtains the 2nd frame (B). And after carrying out one-frame period delay of said 2nd frame (B) with the delay vessel 104, with a switch 105, said 1st frame (A) and said 2nd frame (B) by which one-frame period delay was carried out are changed per frame, and is outputted.

[0044] And the frame (A) which is the blocking signal of a frame unit with the frame-ized vessel 110, and (B) are returned to the frame video signal of a basis by processing of the small blocking machine 10 and reverse.

[0045] As mentioned above, since the quantization error produced in a sum

block and each difference block is distributed and equalized by **** processing for the second time in two frames or the 4 fields in case the video signal encoded with said orthogonal transformation coding equipment is decrypted according to this example, the flicker by the imbalance of 2 inter-frame S/N etc. does not arise in a playback image, and good playback image quality can be acquired.

[0046]

[Effect of the Invention] From the above explanation, since the orthogonal transformation in the sum and a difference, inter-frame quantization, and inter-frame coding are performed to the video signal of a two-frame period, even if there is no decryption circuit, at the time of decode, it distributes to each of the decryption signal of two frames, and a quantization error is made as for the quantization error of said sum and difference to homogeneity. Furthermore, since the orthogonal transformation means switched the orthogonal transformation in a frame and the field, the amount of data could be efficiently reduced also with the video signal of a still picture/cine mode and said still picture/cine mode are also located in a line in order of the high-frequency component from the low-pass component time [the orthogonal transformation signal within said inside block], and spatial, irrespective of said two modes, quantization / coding processing can be made the same and simplification of a circuit can be attained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the orthogonal transformation coding equipment in one example of this invention

[Drawing 2] The block diagram of the orthogonal transformation decryption equipment in one example of this invention

[Drawing 3] Drawing showing the transmission sequence of an orthogonal transformation signal with a blocking machine while being the component of the orthogonal transformation coding equipment in one example of this invention

[Drawing 4] The block diagram of conventional orthogonal transformation coding equipment

[Description of Notations]

10 Small Blocking Machine

20 Inter-frame Arithmetic Circuit

30 DC to AC Converter

40 Inside Blocking Machine

50 Encoder

60 Correlating Detector

70 Decryption Machine

80 Rearrangement Machine

90 Reverse DC to AC Converter

100 Inter-frame Reverse Arithmetic Circuit

110 Frame-ized Machine